Твердотельная электроника. Сложные функциональные блоки РЭА. Материалы научно-технической конференции. – М.: ОАО «НПП «Пульсар», 2014.– С. 67-71.

МИС СИНТЕЗАТОРА ЧАСТОТ НА ОСНОВЕ ПРЯМОГО ЦИФРОВОГО ПРЕОБРАЗОВАНИЯ ДИАПАЗОНА 1200 МГЦ

Л.П. Ионов[1], И.И. Мухин[1], А.И. Кузнецов[2], Г.А. Свизев[3], Е.А. Жебрун[3]
[1]ОАО «НИИМА «Прогресс», leonid@mri-progress.ru
[2]ООО «Микропроект», akuznetsov@micro-project.ru
[3]МНТЦ «МикАн», grits1989@mail.ru, jackjk@mail.ru

Синтезаторы частот на основе прямого цифрового преобразования (в зарубежной терминологии Direct Digital Synthesizers, DDS) в последнее время находят широкое применение в приемопередающих трактах и измерительной аппаратуре благодаря ряду известных преимуществ [1] по сравнению с традиционными ФАПЧ синтезаторами.

Таким образом, разработка и организация производства микросхем быстродействующих DDS синтезаторов частот являются сегодня актуальными задачами. Решение этих задач позволит заменить ряд аналогов иностранного производства для построения приемопередающих трактов радиолокационной и радионавигационной аппаратуры, аппаратуры РЭП и аппаратуры связи современных и перспективных образцов ВВСТ.

В данной работе представлены результаты разработки монолитной интегральной схемы (МИС) высокоскоростного синтезатора частот на основе прямого цифрового преобразования диапазона 10 – 1200 МГц. Микросхема реализована на основе кремний-германиевой БиКМОП технологии с проектными нормами 0,18 мкм. Однако, использованные в работе схемотехнические решения позволяют в будущем реализовать данную микросхему на обычном КМОП технологическом процессе.

Упрощенная структура разработанной микросхемы приведена на рисунке 1.

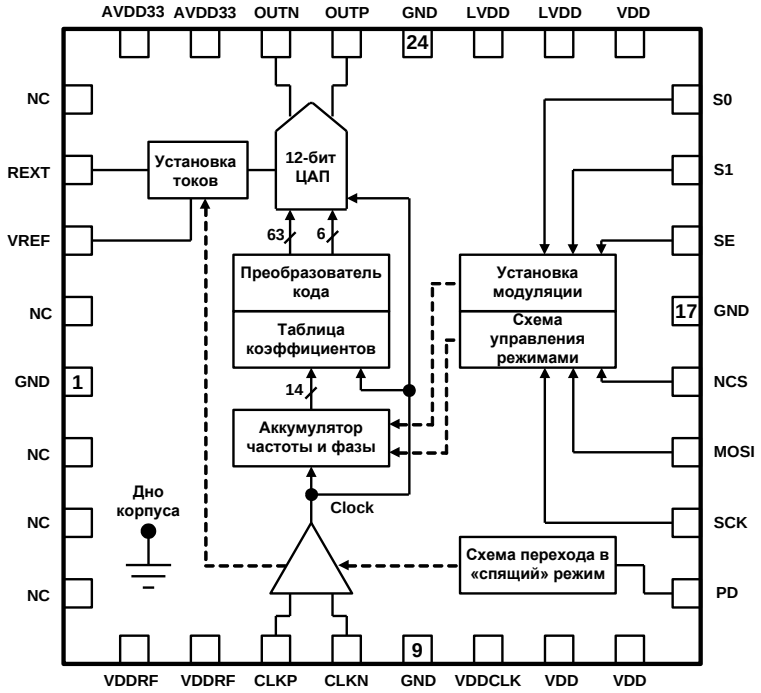


Рисунок 1 – Структурная схема синтезатора

Микросхема включает следующие основные блоки:

- входной буфер опорной частоты;
- цифровая часть в составе аккумулятора частоты и фазы, таблицы коэффициентов функции синус, декодера ЦАП, схемы установки модуляции, схемы управления режимами и схемы перехода в «спящий» режим;
- 12-разрядный цифро-аналоговый преобразователь (ЦАП).

Буфер опорной частоты предназначен для преобразования входного опорного сигнала, имеющего, обычно синусоидальную форму, в сигнал с КМОП уровнями для тактирования цифровой части и ЦАП синтезатора.

Цифровая часть синтезатора реализована на статических КМОП логических элементах, в том числе, использованы высокоскоростные триггеры на основе проходных ключей. Основной особенностью реализации цифровой части является глубокая конвейеризация, благодаря которой максимальная тактовая частота схемы ограничивается задержкой последовательно соединённых элементов полного одноразрядного сумматора и D-триггера.

Аккумулятор фазы и частоты состоит из нескольких последовательных сумматоров, соединённых, как изображено на рисунке 2 (Σ_A – аккумулятор, Σ_P – сумматор, реализующий модуляцию, в скобках указан номер разряда). Структура аккумулятора отличается высокой регулярностью, что позволяет добиться хороших результатов при размещении и трассировке.

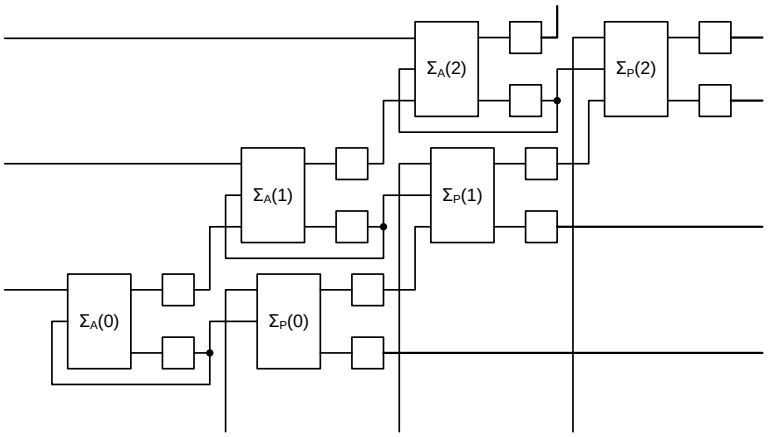
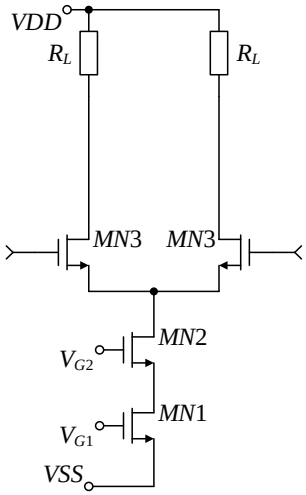


Рисунок 2 – Принцип построения аккумулятора фазы и частоты

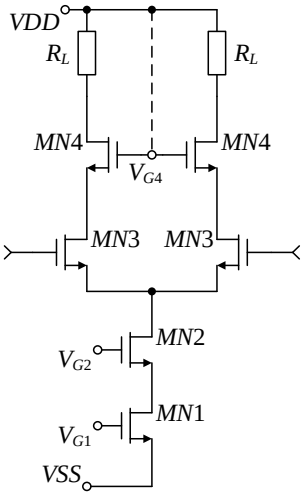
Для уменьшения размеров таблицы коэффициентов функции синус используется алгоритм сжатия, выбранный на основе проведенного исследования известных алгоритмов, описанных в [2]. Основными критериями выбора алгоритма являлись возможность построения конвейерной структуры и отсутствие аппаратных умножителей. В результате исследования было принято решение выбрать для реализации DDS модифицированную архитектуру Николаса, так как она обеспечивает несколько большую точность по сравнению с аналогичными архитектурами при тех же затратах аппаратных ресурсов.

Цифро-аналоговый преобразователь построен на основе архитектуры с коммутацией токов и сегментацией 6 бинарных + 6 термометрических разрядов.

При типовой реализации (рисунок 1а) токовая ячейка состоит из каскодного источника тока *MN*1-*MN*2 и коммутаторов *MN*3. Преимуществом такой схемы является простота, однако, в ней достаточно велика паразитная передача выходного сигнала в истоки коммутаторов, что вызывает эффект кодозависимой модуляции момента коммутации [2], [4], приводящий к нелинейным искажениям выходного сигнала. Для значительного уменьшения указанного эффекта в разработке использованы каскодированные коммутаторы (рисунок 1б).



а)



б)

Рисунок 3 – Типовая реализация токовой ячейки (а), токовая ячейка с каскодированными коммутаторами (б)

При такой реализации токовой ячейки максимальное напряжение $V_{L.\max}$ ограничивается пороговым напряжением V_{Th4} транзисторов *MN*4 и напряжением V_{G4} *VDD*. Действительно, можно показать, что для сохранения *MN*4 в режиме насыщения необходимо выполнение неравенства:

$$V_{L.\max} \le (VDD - V_{G4}) + V_{Th4}, \qquad (1)$$

Для исключения дополнительных цепей смещения V_{G4}, как правило, берётся с шины питания ($V_{G4} = VDD$). Тогда (1) принимает вид

$$V_{L.\max} \le V_{Th4}.$$

Как правило, подложки транзисторов токовых ячеек связываются с соответствующей шиной питания (отрицательной в случае *NMOS* и положительной в случае *PMOS*). В таком случае V_{Th4} и, соответственно, $V_{L.\max}$ будет зависеть от используемых транзисторов и напряжения питания и может значительно изменяться при изменении температуры и вариаций техпроцесса.

Для обеспечения требуемого $V_{L.\max}$ и стабилизации его значения под действием указанных факторов в разработке используется схема (рисунок 4) управления напряжением V_{Th4} за счёт эффекта тела (изменением напряжения исток-подложка (V_{SB4})). При известном эффективном напряжении $V_{e4} = V_{GS4}V_{Th4}$ транзисторов *MN*4 контур следящей обратной связи, реализованный с помощью операционного усилителя *OA*1, обеспечивает поддержание желаемого значения V_{GS4}^* (и, соответственно, $V_{Th4}^* = V_{GS4}^* V_{e4}$) в «опорной» и основных ячейках. Цепь ограничения максимального напряжения $V_{B4.\max}$ на подложках *MN*4 предотвращает возможность прямого смещения *p*-*n*-перехода между истоком и подложкой транзисторов *MN*4 в токовых ячейках.

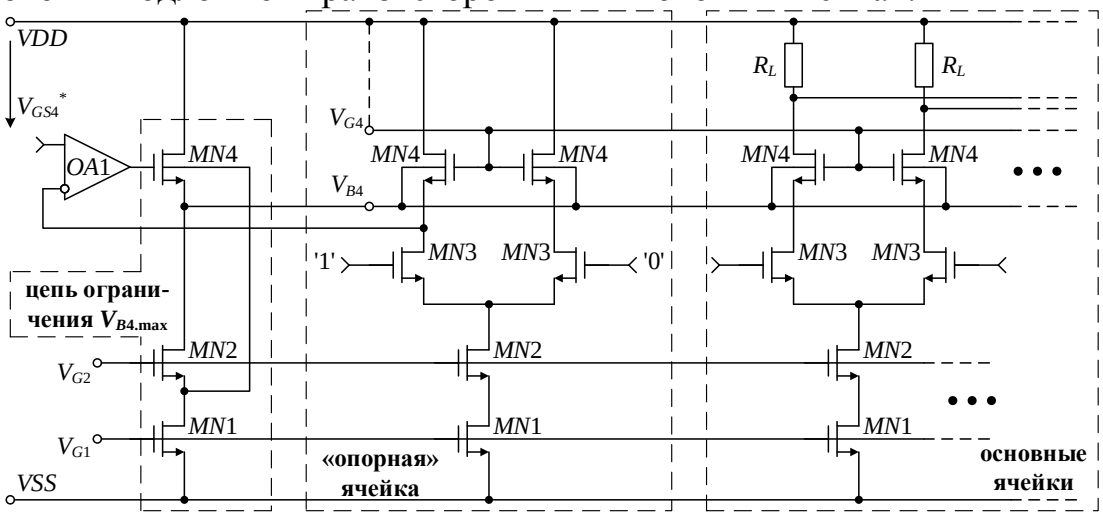


Рисунок 4 – Схема задания и стабилизации максимально допустимого напряжения на нагрузочных резисторах ЦАП

Топология кристалла DDS синтезатора частот представлена на рисунке 5. Микросхема собирается в 32-выводной металлокерамический корпус 5102.32-1К производства ООО «НПП ТЭЗ» (г. Томилино).

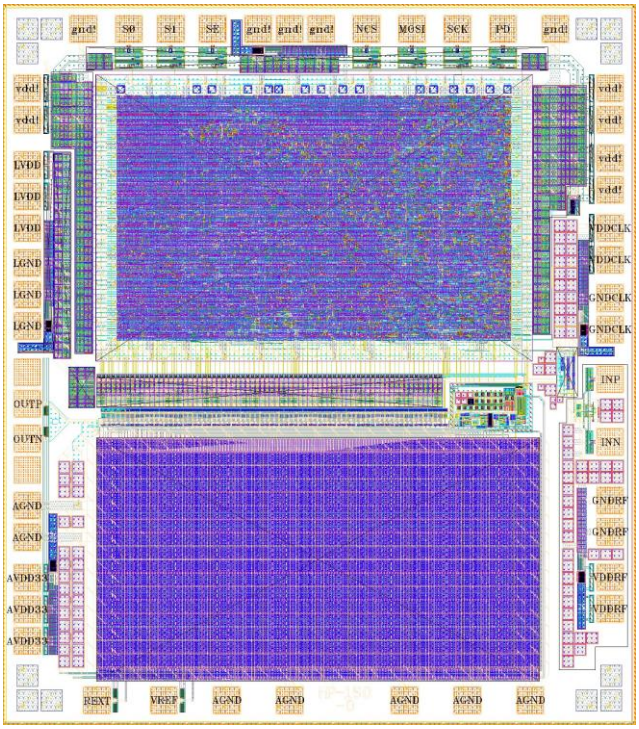


Рисунок 5 – Топология микросхемы синтезатора частот

Основные характеристики изготовленной микросхемы, представлены в таблице 1.

Таблица 1 – Основные параметры микросхемы

Диапазон опорных частот	10 – 1200 МГц
Разрешение установки частоты	36 бит
Разрешение установки фазы	14 бит
Разрядность ЦАП	12 бит
Выходной ток ЦАП	5 – 25 мА
Дифференциальная нелинейность ЦАП	не более 1 МЗР
Интегральная нелинейность ЦАП	не более 2 МЗР
Собственный уровень фазовых шумов синтезатора на отстройке 1 кГц	не более -120 дБн/Гц
Динамический диапазон, свободный от помех (F_{CLK} = 1 ГГц) - в широкой полосе (DC – Nyquist) - в узкой полосе (± 1 МГц)	 не менее 60 дБ не менее 74 дБ
Токи потребления при максимальной опорной частоте	400 мА@ U_{DVDD}=1,8 В 35 мА@U_{AVDD}=3,3 В
Размер кристалла	1,8 х 2,1 мм^2

В настоящее время микросхемы проходят государственные испытания и исследования в составе аппаратуры гражданского и специального назначения.

1. J. Vankka, K.A.I Halonen. Direct Digital Synthesizers. Theory, Design and Applications. Springer, 2001. 193 p.
2. Malinky Ghosh Lakshmi S. J. Chimakurthy, Foster F. Dai, Richard C. Jaeger A Novel DDS Architecture Using Nonlinear ROM Addressing with Improved Compression Ratio and Quantization Noise, International Symposium on Circuits and Systems. IEEE, 2004.
3. D. Mercer. A Study of Error Sources in Current Steering Digital-to-Analog Converters // 2004 IEEE Custom Integrated Circuits Conference. May 2004
4. K. Doris, A. van Roermund, D. Leenaerts. Wide-Bandwidth High Dynamic Range D/A Converters. Springer, 2006. 222 p.